

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216101

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

H01L 21/205

H01L 21/203

H01L 33/00

(21)Application number : 11-015121

(71)Applicant : SHARP CORP

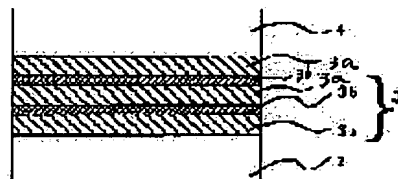
(22)Date of filing : 25.01.1999

(72)Inventor : TOMOMURA YOSHITAKA

(54) CRYSTAL GROWTH METHOD OF COMPOUND SEMICONDUCTOR MIXED CRYSTAL AND COMPOUND SEMICONDUCTOR DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain a compound semiconductor mixed crystal which is enhanced in crystal quality preventing the coagulation of component elements, fluctuation in composition, and phase separation from occurring owing to nonmiscibility by a method wherein the growth of a compound semiconductor mixed crystal possessed of a nonmiscible region composition in a thermal equilibrium state is interrupted, and a compound semiconductor layer which is of the same component elements and possessed of a miscible region composition is grown.

SOLUTION: In a process where a compound semiconductor mixed crystal 3a possessed of nonmiscible region composition in a thermal equilibrium state is grown, the growth of the compound semiconductor mixed crystal 3a is interrupted, and a compound semiconductor thin film 3b which is of the same component elements with the compound semiconductor mixed crystal 3a and possessed of a miscible region composition in a thermal equilibrium state is grown. The growth of the compound semiconductor mixed crystal 3a is interrupted, by which coagulation of component elements, fluctuation in composition, and phase separation are prevented from occurring due to nonmiscibility. The compound semiconductor thin film 3b is inserted, by which the grown compound semiconductor mixed crystal 3a is restrained from affecting the compound semiconductor mixed crystal 3a that is successively grown.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

THIS PAGE BLANK (USPTO)

[0089]

In the above-described embodiments 1-8, growth examples of compound semiconductor mixed crystals having composition in an immiscible region, and examples of manufacturing compound semiconductor devices comprising the compound semiconductor mixed crystals, according to the present invention are described. As the immiscible compound semiconductor mixed crystals, growth examples of GaInNAs or AlGaInNAs is described as compound semiconductors comprising N and V group other than N, but the crystal growth process of the present invention is also applicable to III-V group compound semiconductor mixed crystals such as GaInNP and GaInNSb comprising P and Sb as V group elements other than N. And, growth examples of GaAsSb or ZnSTe is described as other III-V group or II-VI group compound semiconductor mixed crystals. It is needless to say that the crystal growth process of the present invention is also applicable to any other compound semiconductor mixed crystal having composition in the immiscible region, in addition to the above-described growth examples.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-216101

(P2000-216101A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 1
21/203		21/203	M 5 F 0 4 5
33/00		33/00	C 5 F 1 0 3

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21)出願番号 特願平11-15121

(22)出願日 平成11年1月25日(1999.1.25)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 友村 好隆

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100103296

弁理士 小池 隆彌

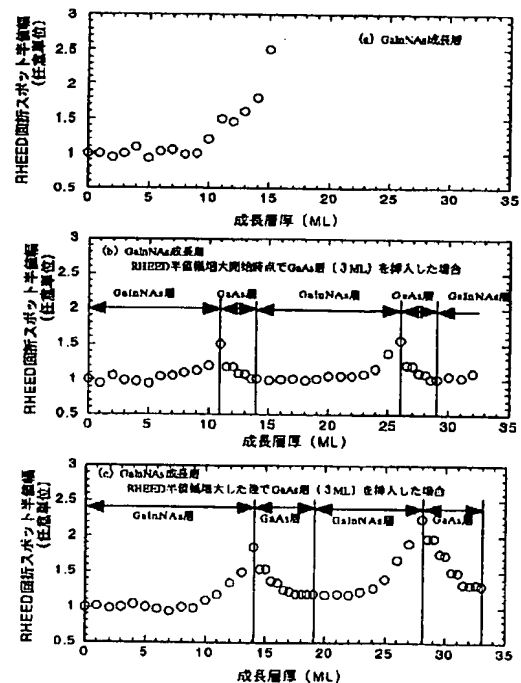
最終頁に続く

(54)【発明の名称】 化合物半導体混晶の結晶成長方法および化合物半導体装置

(57)【要約】

【課題】 非混和性に起因する結晶欠陥の発生を抑制し、高品質結晶を得る結晶成長方法、及びそれによる化合物半導体装置を提供することを課題とする。

【解決手段】 熱平衡状態において非混和領域の組成を有する化合物半導体混晶の結晶成長方法であって、前記化合物半導体混晶を結晶成長させる工程中に、前記化合物半導体混晶の結晶成長を中断し、前記化合物半導体混晶の構成元素からなり、熱平衡状態において混和領域の組成を有する、化合物半導体薄膜を結晶成長させる工程、を含んでなることを特徴とする。



【特許請求の範囲】

【請求項 1】 熱平衡状態において非混和領域の組成を有する化合物半導体混晶の結晶成長方法であって、前記化合物半導体混晶を結晶成長させる工程中に、前記化合物半導体混晶の結晶成長を中断し、前記化合物半導体混晶の構成元素からなり、熱平衡状態において混和領域の組成を有する、化合物半導体薄膜を結晶成長させる工程、を含んでなることを特徴とする化合物半導体混晶の結晶成長方法。

【請求項 2】 窒素 (N) と N 以外の V 族元素を含む I I I - V 族化合物半導体混晶の結晶成長方法であって、前記化合物半導体混晶を結晶成長させる工程中に、前記化合物半導体混晶の結晶成長を中断し、前記化合物半導体混晶の構成元素からなり、N を含まない、I I I - V 族化合物半導体薄膜を結晶成長させる工程、を含んでなることを特徴とする化合物半導体混晶の結晶成長方法。

【請求項 3】 N と N 以外の V 族元素を含む I I I - V 族化合物半導体混晶の結晶成長方法であって、前記化合物半導体混晶を結晶成長させる工程中に、前記化合物半導体混晶の表面状態の変化を検知して結晶成長を中断する工程と、前記化合物半導体混晶の構成元素からなり、N を含まない、I I I - V 族化合物半導体薄膜を結晶成長させる工程、を含んでなることを特徴とする化合物半導体混晶の結晶成長方法。

【請求項 4】 前記化合物半導体薄膜が、前記化合物半導体混晶をなす原料から 2 つを選択した 2 元化合物であることを特徴とする請求項 1 乃至 3 のいずれかに記載の化合物半導体混晶の結晶成長方法。

【請求項 5】 前記化合物半導体薄膜の層厚が、2 分子層以上であることを特徴とする請求項 1 乃至 4 のいずれかに記載の化合物半導体混晶の結晶成長方法。

【請求項 6】 前記化合物半導体混晶の結晶成長を中断する工程は、前記化合物半導体混晶の相分離が発生する前に行われてなることを特徴とする請求項 3 乃至 5 のいずれかに記載の化合物半導体混晶の結晶成長方法。

【請求項 7】 熱平衡状態において非混和領域の組成を有する化合物半導体混晶からなる化合物半導体層を少なくとも 1 層含んでなる化合物半導体装置であって、該化合物半導体層が、請求項 1 乃至 6 のいずれかに記載の化合物半導体混晶の結晶成長方法により結晶成長されてなることを特徴とする化合物半導体装置。

【請求項 8】 前記化合物半導体装置は、発光素子であって、少なくとも発光層が N と N 以外の V 族元素を含む I I I - V 族化合物半導体混晶からなることを特徴とする請求項 7 に記載の化合物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は化合物半導体混晶の結晶成長方法、特に、熱平衡状態において非混和領域内の組成を有する化合物半導体混晶の結晶成長方法ならび

に、それにより結晶成長された化合物半導体混晶からなる化合物半導体装置に関する。

【0002】

【従来の技術】 従来、I I I - V 族あるいは、I I - V I 族からなる化合物半導体混晶、特に 4 元以上の化合物半導体混晶は組成を適当に選ぶことにより、バンドギャップと格子定数を独立に制御することが可能であり、任意の波長範囲において動作するオプトエレクトロデバイス用材料として利用価値が高い。しかしながら、材料によっては、混晶組成の広い範囲にわたって、非混和領域が存在するため、実用化に適した高品質結晶が得られないと言う問題点があった。

【0003】 たとえば、V 族元素として N と N 以外の V 族元素を同時に含む I I I - V 族化合物半導体混晶は、バンドギャップの窒素組成依存性が大きなボーイングをもつため、N を含まない I I I - V 族化合物半導体に N を添加することで、格子定数とともにバンドギャップが小さくなるという特徴をもつ。これにより、GaAs (あるいは GaP) 基板に格子整合し、かつ従来よりもより長波長域で動作するオプトエレクトロニクス材料として期待されているが、N と N 以外の V 族元素のイオン半径が大きく異なり、非混和性が高く、N 組成の増大とともに非混和性が増大するため高品質の結晶が得られず、実用的なオプトエレクトロデバイスへの適用には至っていないのが現状である。

【0004】 なかでも特に、GaInNAs 系半導体は、GaAs との格子整合組成で、1.3 μ m、1.55 μ m 帯域の光ファイバー通信用レーザの活性層として適用可能なバンドギャップを有し、かつ、AlGaAs 系あるいは InGaP 系半導体との組み合わせにより大きな伝導帯バンドオフセットが取れることから、従来と比較して飛躍的に温度特性が向上した通信用半導体レーザを実現する材料として期待されている (例えば、応用物理、第 65 巻 (1996) 148 頁)。

【0005】 そして、この GaInNAs 層を活性層とする半導体レーザが、例えば Japanese Journal Applied Physics 37 (1998) 1380 頁又は IEEE Photonics Technology Letters 10 (1998) 487 頁に示される様に N ラジカルを N 原料とするガスソース分子線エビタキシャル (GSMBE) 法を用いて作製されており、1.3 μ m までの発振波長域での室温連続発振が確認されている。

【0006】 しかしながら、その発振閾値は、発振波長 1.2 μ m においては、24 mA 程度の値が得られているが、より N 組成の大きい 1.3 μ m の発振波長においては、108 mA と高い値を示し、N 組成増大とともに高品質の結晶を得ることが困難となっている。

【0007】 他の例としては、Electronics Letters 33 (1997) 1386 頁に示される様に、N 原料としてジメチルヒドラジンを用いた有機金属気相成長 (MOV P

E)法により、GaInNAs層を活性層とする半導体レーザが作製され、発振波長1.3μmにおいて、室温でのパルス発振が確認されているが、発振閾値は同様に2.3Aと高く、GaInNAs層の結晶性が低いことが問題となっている。このように、非混和領域組成であるGaInNAsの高品質結晶を得るために、成長方法としては、MBE法や、MOVPE法などの熱平衡状態にない低温成長の可能な成長方法が用いられているが、N組成が小さく、比較的非混和性の低い領域では、比較的高品質の結晶が得られているものの、N組成が増大し、非混和性が増大すると、高品質結晶を得ることが困難であることという問題点があった。

【0008】

【発明が解決しようとする課題】上記の様に、MBE、MOVPE法などの、熱平衡状態にない低温成長の可能な成長方法を用いた場合においても、熱平衡状態において非混和領域の組成を有する化合物半導体混晶の結晶成長では、その非混和性に起因して高品質の結晶が得られないという問題点があった。

【0009】さらに、高品質の結晶が得られないため、このような化合物半導体混晶を用いた化合物半導体装置は、十分な素子特性が得られないと言う問題点があった。

【0010】従来、このような非混和性を有する化合物半導体混晶の高品質結晶を得るための方法として、特開平7-263744号公報において、NとN以外のV族を含むIII-V族化合物半導体混晶の成長方法として、その構成元素であるIII族原子とN以外のV族原子を1原子層ずつ積層した第1の単原子層と、III族原子とN原子を1原子層ずつ積層した第2の単原子層を積層した超格子により、疑似的に所望の組成を有する化合物半導体混晶を成長する方法（従来技術1）、あるいは、特開昭63-179513号公報において、所望の化合物半導体混晶の構成元素からなる格子定数のほぼ等しい2元化合物の超格子を形成した後、熱処理あるいはイオン注入等によりその超格子を無秩序化させ、化合物半導体混晶を得る方法（従来技術2）が提案されている。

【0011】しかしながら、従来技術1は、実質的にNを含まないIII-V族化合物とNをV族元素とするIII-V族化合物の単原子層レベルの超格子構造により所望の組成のNを含むIII-V族化合物半導体混晶を成長する方法であるが、Nを含まないIII-V族化合物とNをV族元素とするIII-V族化合物は互いに大きく異なる格子定数を有しており、それらの超格子構造を成長する際には、ヘテロ成長界面において格子不整合に起因したミスフィット転位等の結晶欠陥が生じ易く、高品質結晶を得ることは難しいという問題点を有している。

【0012】また、従来技術2は、ほぼ等しい格子定数

をもつ2元化合物の超格子構造を成長することにより、従来技術1のような格子不整合に起因する結晶欠陥の発生という問題点は生じないものの、その適用範囲は構成元素からなる2元化合物がほぼ等しい格子定数をもちうる化合物半導体混晶材料に限定され、かつ、得られる化合物半導体混晶の組成も、その2元化合物の混合比率（超格子の層厚比）を変えることにより得られる組成に限定される、という問題点を有している。

【0013】例えば、GaInNAsなどのNとN以外のV族を含むIII-V族化合物半導体は、その構成元素からなる2元化合物（GaAs（格子定数0.5653nm）、InAs（同0.6058nm）、GaN（同0.45nm）、InN（同0.495nm））は互いに大きく格子定数が異なり、従来技術2が適用可能な適当な2元化合物の組み合わせは存在しない。また、InGaAsSbは、構成元素からなる2元化合物（InAs（格子定数0.6058nm）、GaSb（同0.6094nm））がほぼ等しい格子定数をもつが、その超格子により作成可能な組成範囲は、InGaAsSb混晶のIn/Ga組成比、As/Sb組成比が等しいごく限られた領域に限定される。

【0014】上記の従来技術1、2の問題点は、互いに格子定数の大きく異なる2元化合物半導体の混合物として構成される化合物半導体混晶は、非混和性を示すという点に起因しており、非混和性の化合物半導体混晶の特性に起因した本質的な問題点であるといえる。また、この問題点は、NとN以外のV族を含むIII-V族化合物半導体において、Nを含まないIII-V族化合物とNをV族元素とするIII-V族化合物とが互いに大きく異なる格子定数を有することから、より顕著である。

【0015】また、従来技術1では、単原子層からなる超格子構造を成長する工程を含み、従来技術2では、2元化合物からなる超格子構造を無秩序化させる工程を含むなど、いずれも複雑な工程を含み、生産性が低いと言う問題点を有する。

【0016】本発明は上記の問題点を解決することを目的となされたものである。

【0017】

【課題を解決するための手段】請求項1は、熱平衡状態において非混和領域の組成を有する化合物半導体混晶の結晶成長方法であって、前記化合物半導体混晶を結晶成長させる工程中に、前記化合物半導体混晶の結晶成長を中断し、前記化合物半導体混晶の構成元素からなり、熱平衡状態において混和領域の組成を有する、化合物半導体薄膜を結晶成長させる工程を含んでなることにより、上記の目的が達成される。

【0018】請求項1では、熱平衡状態において非混和領域の組成を有する化合物半導体混晶を結晶成長させる工程中に、成長を中断することにより、前記非混和領域の組成を有する化合物半導体混晶がその非混和性に起因

した、構成元素の凝集や、組成の揺らぎ、相分離などの発生あるいは、それらに起因する表面平坦性の低下、結晶欠陥の増殖を回復可能な段階で成長を中止することができる。

【0019】さらに、非混和領域の組成を有する化合物半導体混晶層の成長中断中に、前記化合物半導体混晶の構成元素からなり、混和領域の組成を有する化合物半導体薄膜を結晶成長させることにより、結晶表面の結晶性ならびに表面平坦性の回復が図られるとともに、表面を混和領域の組成を有する化合物半導体薄膜で被覆することにより、引き続き化合物半導体混晶層を成長させる場合に、すでに成長した化合物半導体混晶層の影響を受けることなく、再度、非混和性に起因した構成元素の凝集や、組成の揺らぎ、相分離などの発生あるいは、それらに起因する表面平坦性の低下、結晶欠陥の増殖が生じるまで高品質結晶の成長を継続することが可能となる。

【0020】また、この化合物半導体層の組成は、基本的に混和領域の組成を有しておれば良く、化合物半導体混晶との格子整合性あるいはヘテロ界面の整合性に基づいて最適な組成を選択することができる。

【0021】以上の非混和領域の組成を有する化合物半導体混晶の結晶成長行程中に成長を中断し、その成長中断中に混和領域の組成を有する化合物半導体薄膜を結晶成長させる工程を繰り返すことにより、任意の層厚を有する高品質の化合物半導体混晶層を得ることが可能となる。

【0022】請求項2は、NとN以外のV族元素を含むIII-V族化合物半導体混晶の結晶成長方法であって、前記化合物半導体混晶を結晶成長させる工程中に、前記化合物半導体混晶の結晶成長を中断し、前記化合物半導体混晶の構成元素からなり、Nをふくまない、III-V族化合物半導体薄膜を結晶成長させる工程を含んでることにより、上記の目的が達成される。

【0023】請求項2では、NとN以外のV族元素を含むIII-V族化合物半導体混晶を結晶成長させる工程中に、成長を中断することにより、前記NとN以外のV族元素を含むIII-V族化合物半導体混晶がその非混和性に起因した、構成元素の凝集や、組成の揺らぎ、相分離などの発生あるいは、それらに起因する表面平坦性の低下、結晶欠陥の増殖を回復可能な段階で成長を中止することができる。

【0024】さらに、NとN以外のV族元素を含むIII-V族化合物半導体混晶層の成長中断中に、前記化合物半導体混晶の構成元素からなり、Nをふくまない、III-V族化合物半導体薄膜を結晶成長させる工程により、結晶表面の結晶性ならびに表面平坦性の回復が図られるとともに、表面にNを含まない化合物半導体層を被覆することにより、引き続き化合物半導体混晶層を成長させる場合に、すでに成長した化合物半導体混晶層の影響を受けることなく、再度、非混和性に起因した構成元

素の凝集や、組成の揺らぎ、相分離などの発生あるいは、それらに起因する表面平坦性の低下、結晶欠陥の増殖が生じるまで高品質結晶の成長を継続することが可能となる。

【0025】また、Nを含まない化合物半導体層の組成は、Nを含まず、混和領域の組成を有しておれば良く、化合物半導体混晶との格子整合性あるいはヘテロ界面の整合性に基づいて最適な組成を選択することができる。

【0026】以上のNとN以外のV族元素を含むIII-V族化合物半導体混晶の結晶成長行程中に成長を中断し、その成長中断中にNをふくまない、III-V族化合物半導体薄膜を結晶成長させる工程を繰り返すことにより、任意の層厚を有する高品質の化合物半導体混晶層を得ることが可能となる。

【0027】請求項3は、NとN以外のV族元素を含むIII-V族化合物半導体混晶の結晶成長方法であって、前記化合物半導体混晶を結晶成長させる工程中に、前記化合物半導体混晶の表面状態の変化を検知し結晶成長を中断する工程と、前記化合物半導体混晶の構成元素からなり、Nをふくまない、III-V族化合物半導体薄膜を結晶成長させる工程を含んでることにより、上記の目的が達成される。

【0028】請求項3では、化合物半導体混晶の表面状態の変化を観察することにより、非混和性に起因して、構成元素の凝集や、組成の揺らぎ、相分離などの発生あるいは、それらに起因する表面平坦性の低下、結晶欠陥の増殖を検知し、化合物半導体混晶層の成長を、次の、Nをふくまない、III-V族化合物半導体薄膜を結晶成長させる工程により回復可能な段階で確実に成長を中止することができる。

【0029】請求項4は、請求項1乃至3のいずれかに記載の化合物半導体混晶の結晶成長方法において、前記化合物半導体薄膜が、前記化合物半導体混晶をなす原料から2つを選択した2元化合物であることにより、上記の目的が達成される。

【0030】前記化合物半導体薄膜を2元化合物とすることにより、化合物半導体薄膜を結晶成長させる工程において、下地となる化合物半導体混晶層の影響による組成変動が生じることなく、効果的に表面結晶性を回復させることが可能となつて、請求項1乃至3の作用をより効果的に得ることができると共に、例えば、MBE法で成長させるような場合、原料セルの一部シャッターを閉めるだけで、簡単に前記化合物半導体混晶の成長を中断させることができるものである。

【0031】請求項5は、請求項1乃至4のいずれかに記載の化合物半導体混晶の結晶成長方法において、前記化合物半導体薄膜の層厚が、2分子層以上であることにより、上記の目的が達成される。

【0032】前記化合物半導体薄膜の層厚を2分子層以上とすることにより、請求項1乃至4の作用をより効果

10

20

30

40

50

的に得ることができる。

【0033】請求項6は、請求項3乃至5のいずれかに記載の化合物半導体混晶の結晶成長方法において、前記化合物半導体混晶の相分離が発生する前に成長を中断することにより上記の目的を達成することができる。

【0034】前記化合物半導体混晶の成長を中断させる時期を相分離の発生する前とすることにより、前記化合物半導体混晶の結晶性を低下させることなく成長を持続させることが可能となり、請求項3乃至5の作用をより効果的に得ることができる。

【0035】請求項7は、熱平衡状態において非混和領域の組成を有する化合物半導体混晶からなる化合物半導体層を少なくとも1層含んでなる化合物半導体装置であって、該化合物半導体層が、請求項1乃至6のいずれかに記載の化合物半導体混晶の結晶成長方法により結晶成長されることにより、上記の目的が達成される。

【0036】請求項1乃至6に記載の化合物半導体混晶の結晶成長方法により得られた高品質の化合物半導体混晶を用いて化合物半導体装置を構成することにより、高性能の化合物半導体装置を得ることができる。

【0037】請求項8は、請求項7に記載の化合物半導体装置が、発光素子であって、少なくとも発光層がNとN以外のV族元素を含むIII-V族化合物半導体混晶からなることにより、上記の目的が達成できる。

【0038】少なくとも発光層がNとN以外のV族元素を含むIII-V族化合物半導体混晶からなる化合物半導体装置において、請求項1ないし7に記載の化合物半導体混晶の結晶成長方法により得られた高品質の化合物半導体混晶を用いて化合物半導体装置を構成することにより、高性能の化合物半導体装置を得ることができる。

【0039】

【発明の実施の形態】以下、本発明を実施形態により詳細に説明する。

【0040】（実施の形態1）本発明の実施形態1として、N源としてNラジカルを用い、他の原料として固体原料を用いたガスソース分子線エピタキシャル（GSMBE）法により、GaAs基板への格子整合組成を有するGaInNAs層を井戸層とする、GaInNAs/AlGaAs単一量子井戸（SQW）構造を作成した場合について説明する。

【0041】図1に作成したGaInNAs/AlGaAs-SQWの構造を示す。GaAs（100）just基板（1）上に、厚さ1μmのAl_{0.3}Ga_{0.7}Asからなる下部クラッド層（2）、厚さ10nmのGaInNAs量子井戸層（3）、厚さ0.2μmのAl_{0.3}Ga_{0.7}Asからなる上部クラッド層（4）、厚さ0.1μmのGaAsキャップ層（5）が順次積層されている。

【0042】図1のSQW構造を作成するにあたり、GSMBE原料に関して、Al、Ga、Inは金属原料を

クヌーセンセルを用いて分子線を基板に照射し、As原料については、固体Asを用い、クラッキングセルを用いてAs₂ビームを基板に照射した。NラジカルはN₂ガスをRFプラズマにより分解生成したものを用いた。

【0043】また、基板温度、原料分子線強度に関し、AlGaAsクラッド層（2、4）およびGaAsキャップ層（5）は、基板温度を600℃とし、成長速度を1μm/h、ビーム強度比（V/III比）を2ないし3の範囲に設定して成長を行った。また、GaInNAs量子井戸層（3）の成長の際には、基板温度を500℃とし、分子ビーム強度は、In、Ga、Asについては、成長速度が1μm/h、これらのV/III比が1.5ないし2となるように設定し、これに、所望のN組成が得られるように強度を設定したNラジカルビーム添加した。なお、III族組成はIn/Gaビーム比により制御した。

【0044】以下に具体的な作成手順を示す。まず、GaAs基板（1）上に基板温度600℃でAl_{0.3}Ga_{0.7}Asからなる下部クラッド層（2）を成長した後、基板温度を500℃に設定し、In組成10.4%、N組成3.3%からなる層厚10nmのGaInNAs量子井戸層（3）の成長を行った。このGaInNAs量子井戸層（3）は、In組成12.5%、N組成4.0%のGaInNAs層を10分子層（ML）積層した時点で成長を中断し、引き続いて、3MLのGaAsからなる成長層を積層し、さらに、10MLのGaInNAs層、3MLのGaAs層の成長を同様に繰り返し行い、図2に示すような10MLの層厚を有する3層のGaInNAs層（In組成12.5%、N組成4.0%）（3a）、3MLの層厚を有する2層のGaAs層（3b）からなる多層構造として成長した。GaInNAs層（3a）の間に挿入したGaAs層（3b）の層厚は3MLと小さいため、この多層構造は、実質的にIn組成10.4%、N組成3.3%に相当するGaInNAs混晶とみなすことができる。さらに、基板温度を再度600℃に設定した後、GaInNAs量子井戸層（3）上に、Al_{0.3}Ga_{0.7}Asからなる上部クラッド層（4）、GaAsキャップ層（5）を順次積層し、図1のGaInNAs/AlGaAs-SQWの構造を得た。

【0045】このようにして成長したGaInNAs/AlGaAs-SQW構造は室温において、波長1.5μmの強いフォトルミネッセンス（PL）発光を示した。このPL発光強度は、In組成10.4%、N組成3.3%のGaInNAs井戸層をGSMBEによる連続成長により作成した同構造のサンプルに比較して、2桁以上の強度を示し、本実施形態において、従来と比較して格段の高品質のGaInNAs混晶を得ることができた。

【0046】（実施の形態2）次に、本発明の実施形態

2として、実施形態1と同様にして、図1のGaInNAs/AIGaAs-SQW構造を、そのGaInNAs量子井戸層(3)の組成を変えて作成した場合について示し、異なるN組成のGaInNAs混晶においても実施形態1と同様の効果が得られることを示す。

【0047】本実施形態において、GSMBEの成長条件、ならびに、GaInNAs層(3a)の成長中断までの層厚、GaInNAs層(3a)の間に挿入するGaAs層(3b)の層厚、および両者を合わせた量子井戸層全体の層厚は、実施形態1と同様とし、GaInNAs層(3a)のIn組成ならびにN組成を変えることで、発光波長を調整した。

【0048】図3に、このようにして作成した各SQW構造サンプルの室温におけるPL発光強度を、GaInNAs量子井戸層(3)のN組成に対する依存性として示す。また、同図には、比較例として、GaInNAs量子井戸層(3)を同組成を有する連続成長膜として作成したサンプルのPL発光強度も合わせて示している。同図において黒丸印が本実施形態によるサンプルの、白丸印が比較例によるサンプルの結果を示す(同図中、右から3つめの黒丸印は実施の形態1を示す。)

【0049】同図より明らかなように、連続成長により作成したサンプルは、N組成の増大とともにPL発光は急激に減少するが、本実施形態により作成したサンプルは、N組成の増大によるPL発光強度の低下傾向は格段に小さく、連続成長により作成したサンプルに比較して強いPL発光を示し、N組成の広い範囲にわたって、本発明の結晶成長方法により、従来に比較して格段に結晶品質のGaInNAs混晶が得られた。

【0050】(実施の形態3)本発明の実施形態3として、実施形態1と同様にして、図1のGaInNAs/AIGaAs-SQW構造を、そのGaInNAs量子井戸層(3)の成長の際にGaInNAs層の間に挿入するGaAs層の層厚を変えて作成した場合について示す。

【0051】本実施形態においては、GaInNAs量子井戸層(3)を構成するGaInNAs層(3a)の組成、成長中断までの層厚は実施形態1と同一とし、このGaInNAs層(3a)の間に挿入するGaAs層(3b)の層厚を変えて成長を行った。GaAs層(3b)の層厚を変えることにより、最終的に得られるGaInNAs量子井戸層(3)の実効的な層厚および組成は若干変化するが、この変化量が問題にならない範囲で検討を行った。

【0052】図4に、このようにして作成した各SQW構造サンプルの室温におけるPL発光強度を、挿入するGaAs層(3b)の層厚に対する依存性として示す(同図中、右から3つめのサンプルは実施の形態1を示す。)

【0053】同図において、GaAs層(3b)の層厚

が0であるときの結果は、GaInNAs量子井戸層(3)を連続成長により成長した場合を示している。同図に示されるように、GaAs層(3b)の層厚としては、1MLでは十分な効果は得られず、2ML以上とすることが好ましいと言える。これは、1MLでは、GaInNAs層(3a)表面を完全に被覆できないこと、あるいは、再度GaInNAs層(3a)の成長を開始した段階で、GaAs層(3b)下のGaInNAs層(3a)の原子配列の影響を受けるためであると考えられる。GaAs層(3b)の層厚を2ML以上とした場合においては、下地のGaInNAs層(3a)が原子層レベルの表面段差(ステップ)を有していたとしても、それを完全に被覆することが可能であり、また、2MLのGaAs層(3b)により、下地のGaInNAs層(3a)の原子配列の影響を完全に断ち切ることが可能となり、引き続いて成長するGaInNAs層(3a)は、下地のGaInNAs層(3a)の影響を受けることなく、成長させることが可能となる。

【0054】また、挿入するGaAs層の層厚としては、最終的に形成されるGaInNAs層とGaAs層からなる多層構造が実質的に両者の平均組成を有するGaInNAs混晶とみなせる程度の層厚以下とすることが好ましい。具体的には、挿入するGaAs層の層厚としては、10ML程度とすることが好ましい。

【0055】(実施の形態4)本発明の実施形態3として、GaAs基板上に実施形態1と同様のGSMBEにより、成長中の高速電子線回折(RHEED)により表面状態を観察しながら、GaInNAs混晶を成長し、RHEEDパターンの変化に応じて、GaInNAs層の成長中断、GaAsからなる成長層を挿入を行った場合について示す。なお、本実施形態において、GaInNAs層の組成はGaAs基板に格子整合するIn7.1%、N2.5%のものとした。

【0056】[01-1]方向からの電子線入射に対するRHEED回折スポットの半値幅の成長にともなう変化を図5に示す。GaInNAs層を成長中断し、GaAs層を挿入することなく連続成長した場合、回折スポット半値幅は図5(a)に示す様に、成長を開始して数MLの範囲では、ストリーク状の回折パターンを示し、半値幅は一定であるが、成長厚10ML程度から、半値幅は増大する傾向を示し、回折パターンはスポット状に変化する。さらに成長を継続すると、多結晶の窒化物(GaN、InNあるいはInGaN)の成長を示すリング状の回折パターンが同時に得られる様になった。

【0057】これに対して、成長を開始して、回折スポット半値幅の増大が検知された段階で成長を中断してGaAs層を成長した場合、図5(b)に示す様に、回折スポット半値幅は、GaAs層の成長とともに回復した。この状態から、再度GaInNAs層の成長を継続した場合、再び、はじめにGaInNAs層を成長した

場合と同様のふるまいを示し、成長中断しGaAs層を挿入することなく連続成長した場合のような、半値幅の増大、ストリーク状からスポット状の回折パターンの変化は見られなかった。

【0058】これに対し、GaInNAs層の成長をRHEEDパターンがスポット状となる段階まで中断しなかった場合、図5(c)に示す様に、GaAs層の層厚を増大させることにより、回折スポット半値幅の回復、あるいは回折パターンのストリーク状への回復は見られず、良好な結晶は得られなかった。

【0059】上記の様に、GaInNAs成長層表面の結晶状態をモニタしながら、非混和性に起因する結晶の劣化が生じる前に成長中断をおこない、安定な2元化合物であるGaAs層を挿入することにより、連続成長と比較して、高品質なGaInNAs層を成長させることができた。

【0060】非混和性に起因する結晶の劣化の生じる層厚は、成長条件、GaInNAsの混晶組成等に依存するため、このように、成長中の結晶状態を観察しながら適切な成長中断の時期を判断し、適切な層厚の回復層を挿入する方法は、本発明の結晶成長方法を効果的に実施するうえで有効である。

【0061】本実施の形態においては、成長表面の結晶状態を観察する手段としてRHEEDを用いたが、表面光吸収法や動的エリブソメトリ法により表面状態を観察してもよい。この方法は、成長圧力が高くRHEED観察ができないMOVPE法による成長においても用いることができる。

【0062】(実施の形態5) 本発明の実施形態5として、実施形態1と同様のGSMBE法によって、GaInNAs-SQWを活性層とする半導体レーザを作製した例について示す。

【0063】図6において、このようなGaInNAs-SQW構造からなる活性層を有する半導体レーザが模式的な断面図で示されている。この半導体レーザにおいては、n型GaAs(100)基板(1)上にn型GaAsからなる厚さ0.5μmのパuffer層(6)、n型Al_{0.3}Ga_{0.7}Asからなる厚さ1μmのn型クラッド層(7)、n型GaAsからなる厚さ0.15μmのn型ガイド層(8)、アンドープGa_{0.929}In_{0.071}N_{0.025}As_{0.975}からなるSQW層(9)、p型GaAsからなる厚さ0.15μmのp型ガイド層(10)、p型Al_{0.3}Ga_{0.7}Asからなる厚さ0.5μmのp型クラッド層(11)、p型GaAsからなる厚さ0.1μmのコンタクト層(12)をGSMBE法によって順次成長した。なお、各層の成長にあたり、基板温度、分子ビーム強度は、実施形態1と同様の条件を用いた。

【0064】このようにして、各半導体層が積層成長された後、p型Al_{0.3}Ga_{0.7}Asクラッド層(11)およびp型GaAsコンタクト層(12)の一部をウエッ

トエッチングによりメサストライプ状にエッチング除去し、ポリイミドからなる絶縁層(13)をp型クラッド層(11)、p型コンタクト層(12)のエッチング除去された部分に埋め込まれるように形成した。さらに、上部電極(14)、下部電極(15)を形成し、リッジストライプ型の半導体レーザを作製した。

【0065】この半導体レーザは共振器端面にλ/2-HR(90%)コーティングを施した状態で、発振波長1.3μmにおいて、室温連続発振が確認され、発振閾値は15mA、効率は0.35W/Aであった。また、室温から85℃の範囲での特性温度は170Kであった。さらに、この素子を85℃、10mWで駆動することにより信頼性試験を行った結果、10000時間以上の寿命(駆動電流が初期電流より20%増大する時間)が確認された。

【0066】以上のように、本発明による成長方法を用いることにより、特性温度が高く、かつ低発振閾値で高信頼性の高性能光通信用半導体レーザを得ることができた。

【0067】以上の実施形態1から実施形態5において、GaInNAsの成長にあたり、NラジカルをN源としたGSMBE法、他の結晶成長方法、たとえばN源として、NH₃やヒドラジン系化合物のようなN化合物ガスを原料としたGSMBE法を用いてもよく、また、MOVPE法を用いても同様の効果が得られることは言うまでもない。

【0068】また、上記の実施形態において、GaAs層の成長はGaビームとAsビームの交互供給成長方法によったが、所望の層厚のGaInNAs層を成長した時点で、InおよびNラジカルを供給を停止して、GaAs成長を行い、GaAs成長時間を制御することにより、所望の層厚のGaAs層をGaInNAs成長中に挿入することも可能である。ただし、成長表面の平坦性の確保、層厚の厳密な制御の点では、交互供給法による成長が好ましい。

【0069】以上の実施形態1から実施形態5において、GaInNAs層の間に挿入する化合物半導体層の材料としては、GaInNAs層の構成元素からなる化合物がヘテロ界面の整合性を保ち、かつ、擬似的にGaInNAs混晶を得る上で好ましく、具体的には、GaAs、InAsなどの2元化合物、あるいは、混和性領域の組成であるInGaAsが好ましいものとしてあげられる。これらのなかで、GaAs、InAsなどの2元化合物は単一組成であるため、GaInNAs層上のヘテロ成長界面で、下地の影響により組成に変調をうけることなく、効果的に表面結晶性を回復させることが可能となる。また、InGaAsを用いた場合は、Nの供給のみを制御するだけで、GaInNAs層の成長中断、InGaAs層の成長の繰り返しが可能であり、成長プロセスの簡便化を図ることができる。また、In

は表面拡散速度が高く、GaInNAs成長表面に生じた表面の段差を効果的に平坦化することが可能である。

【0070】（実施の形態6）本発明の実施形態6として、NH₃をN源とするGSMBE法により、AlGaInNAs-SQWを活性層とする半導体レーザを作製した例について示す。

【0071】本実施形態において作製した半導体レーザは、実施形態5において作製した図6に示す半導体レーザにおいて、SQW量子井戸層（9）が2%の圧縮歪みを有するAl_{0.10}Ga_{0.58}In_{0.32}N_{0.019}As_{0.981}-SQWから形成されている点、ガイド層（8、10）の組成をAl_{0.15}Ga_{0.85}Asとした点、クラッド層

（7、11）の組成をAl_{0.40}Ga_{0.60}Asとした点以外は同様の構造からなる。

【0072】本実施形態において用いたGSMBE法は、NH₃をN源とするもので、他の原料は、すべて固体の原料を用いた。GaAs、AlGaAs層の成長条件は実施形態1と同様とし、AlGaInNAsの成長においては、基板温度はGaAs、AlGaAs層と同じく600℃とし、成長速度を0.5μm/h、NH₃を除く原料ビームのV/III比を2~3とし、所望のN組成が得られる様にNH₃ガスビーム強度を調整した。

【0073】本実施形態において量子井戸層に添加されているAlはNH₃原料ビームの成長表面の分解効率を向上させるためのものであって、AlをIII族組成として10%添加することにより、Alを添加しない場合に比較してNの取り込み量を1000倍以上向上させることが可能となる。

【0074】上述のGSMBEの成長条件で、AlGaInNAs層を成長し、AlGaInNAs層の成長を非混和性に起因する結晶の劣化が生じる前に中断、さらに、結晶性、表面平坦性を回復し、AlGaInNAs層表面を被覆するためのAlGaAs層の成長、を繰り返し、AlGaInNAs層とAlGaAs層の多層構造からなるAlGaInNAs量子井戸層を成長した。AlGaInNAs量子井戸層を構成するAlGaInNAs層、AlGaAs層の組成、層厚および層数は、それぞれAl_{0.09}Ga_{0.52}In_{0.39}N_{0.023}As_{0.977}、7ML、4層、Al_{0.15}Ga_{0.85}As、2ML、3層することで、発振波長1.3μmに相当する層厚9.6nmのAl_{0.10}Ga_{0.58}In_{0.32}N_{0.019}As_{0.981}量子井戸層を得た。

【0075】最終的な半導体レーザ素子の作製を実施形態5と同様におこなった結果、共振器端面にλ/2-HR（90%）コーティングを施した状態で、発振波長1.3μmにおいて、室温連続発振が確認され、発振閾値は13mA、効率は0.40W/Aであった。また、室温から85℃の範囲での特性温度は170Kであった。さらに、この素子を85℃、10mWで駆動するこ

とにより信頼性試験を行った結果、10000時間以上の寿命（駆動電流が初期電流より20%増大する時間）が確認された。

【0076】以上のように、本発明による成長方法を用いることにより、NとN以外のV族を含むIII-V族化合物半導体の一つであるAlGaInNAsを量子井戸層とする半導体レーザを作製した場合においても、特性温度が高く、かつ低発振閾値で高信頼性の高性能光通信用半導体レーザを得ることができた。

【0077】（実施の形態7）本発明の実施形態7として、本発明の化合物半導体混晶の結晶成長方法を用いて作成したZnSTe混晶を電流ブロック層に適用したIII-V族化合物半導体青色レーザを作製した例について示す。

【0078】本実施形態で作成したZnSTe混晶は、S組成65%とすることにより、GaAsに格子整合が可能であり、かつZnSeよりも小さなバンドギャップを有するため、ZnSeを活性層とするロスガイド構造レーザを作製する際の電流ブロック層として適当な材料であるが、SとTeの結合半径の大きな違いを反映して、通常の結晶成長条件においては、非混和領域の組成となり、高品質の結晶を得ることが難しいという問題点があった。

【0079】図7に、ZnSTe層を電流ブロック層として用いたIII-V族半導体レーザの模式的な断面図を示す。この半導体レーザにおいては、n型GaAs（100）基板（1）上にn型ZnSeからなる厚さ0.1μmのパッファー層（16）、バンドギャップが3.1eVでGaAs格子整合組成を有するn型ZnMgSSeからなる厚さ1.5μmのn型クラッド層（17）、n型ZnS_{0.07}Se_{0.93}からなる厚さ0.15μmのn型ガイド層（18）、厚さ8.0nmのアンドープZnSeからなるSQW層（19）、p型ZnS_{0.07}Se_{0.93}からなる厚さ0.15μmのp型ガイド層（20）、バンドギャップが3.1eVでGaAs格子整合組成を有するp型ZnMgSSeからなる厚さ1.0μmのp型クラッド層（21）、p型ZnSe/ZnTe多層膜からなる厚さ0.2μmのコンタクト層（22）をMBE法によって順次成長した。

【0080】このようにして、各半導体層が積層成長された後、p型ZnSe/ZnTe多層膜コンタクト層（22）上にストライプ状の誘電体層を形成し、この誘電体層をマスクとして、p型ZnMgSSeクラッド層（21）およびp型ZnSe/ZnTe多層膜コンタクト層（22）の一部をウェットエッチングにより除去し、メサストライプ構造を形成した。さらに、MOMB法により、ZnSTe層からなる電流ブロック層（23）をp型クラッド層（21）、p型コンタクト層（22）のエッチング除去された部分に埋め込まれるように形成した。このZnSTe電流ブロック層（23）の形

成の際に、S組成65%のZnSSe層を0.1 μ m成長させた後、成長を中断し、ZnSe層を0.01 μ m成長させる工程を繰り返し行った。電流ブロック層の形成後、前述の誘電体マスクを除去し、上部電極（14）、下部電極（15）を形成し、リッジストライプ型の半導体レーザを作製した。

【0081】このようにして作製したII-V族半導体レーザは、均質で低欠陥密度の高品質のZnSTeからなる電流ブロック層の形成が可能となり、発振波長460nmの高性能の青色半導体レーザが得られた。

【0082】（実施の形態8）本発明の実施の形態8として、本発明の結晶成長方法を用いて作成したGaAsSbを活性層とする発振波長1.3 μ mで動作するGaAs基板上に構成された面発光レーザを作製した例について示す。

【0083】図8において、このようなGaAsSb活性層を有する面発光半導体レーザが模式的な断面図で示されている。

【0084】この面発光レーザは、n型GaAs（100）基板（1）上にn型半導体多層膜反射鏡（24）、n型Al_{0.2}Ga_{0.8}Asクラッド層（25）、GaAsSb/GaAs歪み量子井戸活性層（26）、p型Al_{0.2}Ga_{0.8}Asクラッド層（27）、p型GaAsコンタクト層（28）が各構成元素の固体原料を分子線源とした分子線エピタキシャル（MBE）法により、順次形成されている。さらに、p型GaAsコンタクト層（28）上には、アモルファスSiとSiO₂からなる多層膜反射鏡（29）が電子ビーム蒸着法により形成されている。この多層膜反射鏡（29）はドライエッチングにより中央部分を円柱形に残して除去されている。活性層近傍には、多層膜反射鏡（29）の形成されていない部分にプロトン照射することで、電流狭窄のための高抵抗領域（30）が形成されている。また、n型GaAs基板（1）の裏面に正電極として下部電極（14）が、p型GaAsコンタクト層（28）の多層膜反射鏡（29）が積層されていない部分に負電極として上部電極（15）が形成されている。

【0085】この面発光レーザの作製にあたり、MBE成長の条件は、各層とも成長温度は600℃、分子ビーム比はSbを除くV/III比が2となる様に設定し、GaAsSb中のSb組成は、Ga、Asビームに添加するSbビームの強度により制御した。MBEにより形成した各層のうち、n型半導体多層膜反射鏡（24）は発振波長の1/4光学距離に相当する層厚のn型GaAsとn型AlAsの多層膜により形成した。活性層部分は、層厚10nmのGaAs障壁層に挟まれた2.5%の圧縮歪みを有する層厚8nmのGaAs_{0.68}Sb_{0.32}井戸層からなるGaAsSb/GaAs歪み量子井戸活性層（26）から構成されている。活性層部分の層厚8nmのGaAs_{0.68}Sb_{0.32}井戸層を、GaAs_{0.65}S

b_{0.35}層を13ML成長した後、成長を中断し、2MLのGaAs層の成長を行った後、再度13MLのGaAs_{0.65}Sb_{0.35}層を成長して、本発明の結晶成長方法により、形成した。

【0086】なお、上部の多層膜反射鏡（29）はn型半導体多層膜反射鏡（24）と同様に発振波長の1/4光学距離に相当する層厚のアモルファスSiとSiO₂の多層膜により形成した。

【0087】以上の様に作製したGaAsSbを活性層とする面発光レーザは、本発明の結晶成長方法により高品質のGaAsSbが得られたことで、従来の成長方法でGaAsSb量子井戸層を作製した場合と比較して、発振閾値の低減、効率の向上が図られるとともに素子寿命が向上した。

【0088】本実施形態で、GaAsSb層中にGaAs層を挿入することで所望の組成のGaAsSb層の成長を行ったが、GaAsSb層とGaAs層とのヘテロ界面の組成を段階的に変えることもできる。成長したGaAsSbとGaAs間には2.5%の格子不整があるため、ヘテロ界面を段階的に変化させることで、ヘテロ界面における格子歪みの影響を緩和する上で、より好ましい。

【0089】以上の実施形態1～8において、本発明により非混和領域内の組成を有する化合物半導体混晶の成長、あるいは、それらの化合物半導体混晶を含む化合物半導体装置を作製する例を示した。それらの非混和性の化合物半導体混晶として、NとN以外のV族を含む化合物半導体として、GaInNAsあるいはAlGaInNAsの成長例を示したが、GaInNP、GaInNSbなどのような、N以外のV族元素としてPやSbを含むIII-V族化合物半導体混晶についても本発明の結晶成長方法を同様に用いることができる。また、その他のIII-V族化合物半導体混晶あるいはII-VI族化合物半導体混晶としてGaAsSbあるいはZnSTeの成長例を示したが、非混和領域内の組成を有する化合物半導体混晶であれば、これらの成長例に限らず、本発明の結晶成長方法を同様に適用できることは言うまでもない。

【0090】なお、本発明の結晶成長方法は、MBE法、GSMBE法、MOVPE法など、化合物半導体の結晶成長に適した結晶成長技術を用いれば、いずれの場合においても適用可能なことは言うまでもない。

【0091】

【発明の効果】以上のように、本発明によれば、熱平衡状態において非混和領域の組成を有する化合物半導体混晶を、成長中の結晶状態に応じて成長を中断し、前記化合物半導体混晶の構成元素からなり、混和領域の組成を有する化合物半導体層を挿入することにより、前記化合物半導体混晶の成長中に、非混和性に起因する構成元素の凝集や、組成の揺らぎ、相分離などの発生あるいは、

それらに起因する表面平坦性の低下、結晶欠陥の増殖を抑制することが可能となり、高品質の結晶を得ることが可能となる。さらに、この結晶成長方法により成長した化合物半導体混晶を用いた化合物半導体装置により、高性能のオプトエレクトロニクスデバイスを創出することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る実施形態1において作成したGaInNAs/AlGaAs-SQWサンプルの構造を示す断面図である。

【図2】本発明に係る実施形態1において作成したGaInNAs/AlGaAs-SQWサンプルの量子井戸部分の構造を示す断面図である。

【図3】本発明に係る実施形態2において作成したGaInNAs/AlGaAs-SQWサンプルのPL発光強度のN濃度依存性を示す図である。

【図4】本発明に係る実施形態3において作成したGaInNAs/AlGaAs-SQWサンプルのPL発光強度のGaInNAs層中に挿入したGaAs層の層厚に対する依存性を示す図である。

【図5】本発明に係る実施形態4において成長したGaInNAs膜の成長中のRHEED半値幅の変化を示す図である。

【図6】本発明に係る実施形態5において作製した半導体レーザの構造を示す断面図である。

【図7】本発明に係る実施形態7において作製した半導体レーザの構造を示す断面図である。

【図8】本発明に係る実施形態8において作製した面発光レーザの構造を示す断面図である。

【符号の説明】

1 GaAs基板

2 AlGaAs下部クラッド層

3 GaInNAs-SQW層

3a GaInNAs層

3b GaAs層

4 AlGaAs上部クラッド層

5 GaAsキャップ層

6 n型GaAsバッファ層

7 n型AlGaAsクラッド層

8 n型GaAsガイド層

10 9 GaInNAs-SQW層

10 p型GaAsガイド層

11 p型AlGaAsクラッド層

12 p型GaAsコンタクト層

13 絶縁層

14 下部電極

15 上部電極

16 n型ZnSeバッファ層

17 n型ZnMgSSeクラッド層

18 n型ZnSSeガイド層

20 19 ZnSeSQW層

20 p型ZnSSeガイド層

21 p型ZnMgSSeクラッド層

22 p型ZnSe/ZnTe多層構造コンタクト層

23 ZnSTe電流ブロック層

24 n型半導体多層膜反射鏡

25 n型Al_{0.2}Ga_{0.8}Asクラッド層

26 GaAsSb/GaAs歪み量子井戸活性層

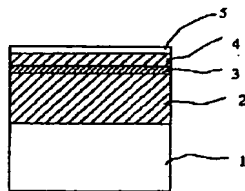
27 p型Al_{0.2}Ga_{0.8}Asクラッド層

28 p型GaAsコンタクト層

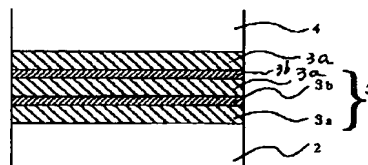
30 29 多層膜反射鏡

30 高抵抗領域

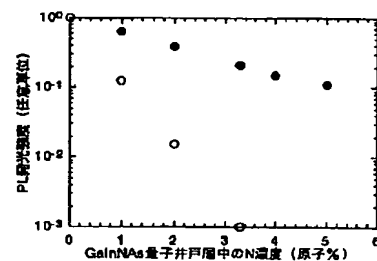
【図1】



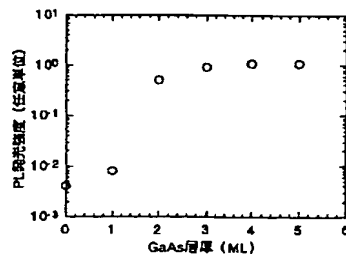
【図2】



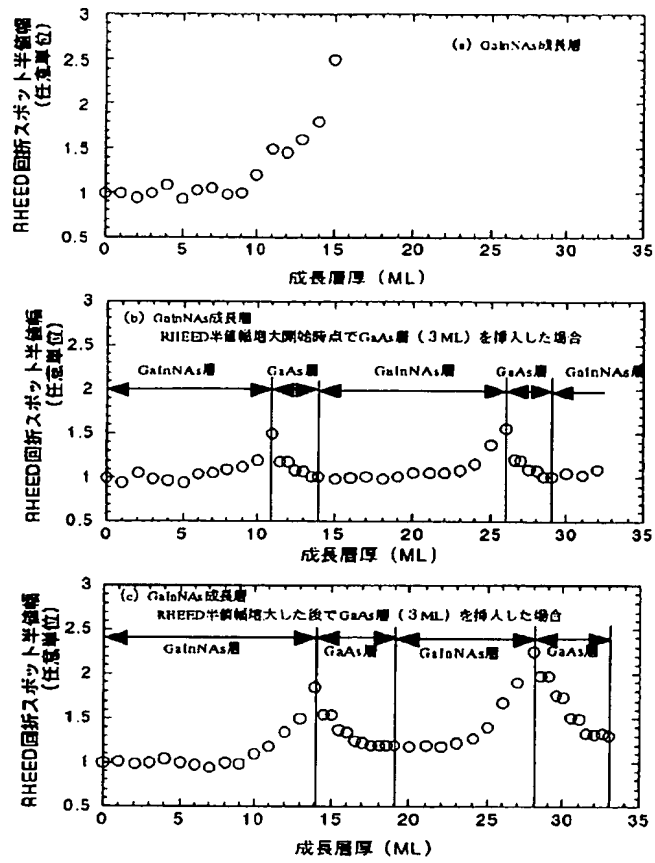
【図3】



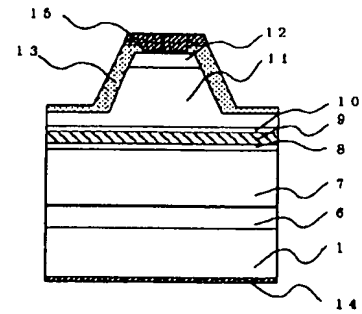
【図4】



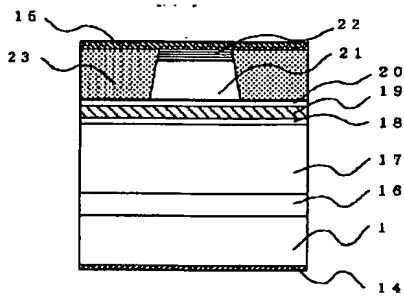
【図5】



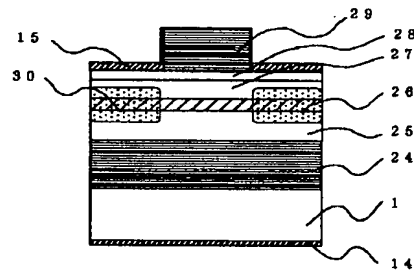
【図6】



【図7】



【図8】



フロントページの続き

Ｆターム(参考) 5F041 AA40 CA05 CA34 CA35 CA41
CA43 CA66
5F045 AA05 AA16 AB09 AB10 AC12
AC15 AC19 AD09 AD10 AF04
BB08 BB12 CA10 DA53 DA55
DA63 DA65 DA67
5F103 AA04 BB04 BB07 DD05 DD30
GG01 HH03 JJ01 JJ03 LL02
LL03 LL17 NN10 RR01 RR06